

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-288984

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

G11C 11/413

G11C 11/412

H03K 19/0948

(21)Application number : 2001-128431

(71)Applicant : ENOMOTO TADAYOSHI

(22)Date of filing : 22.03.2001

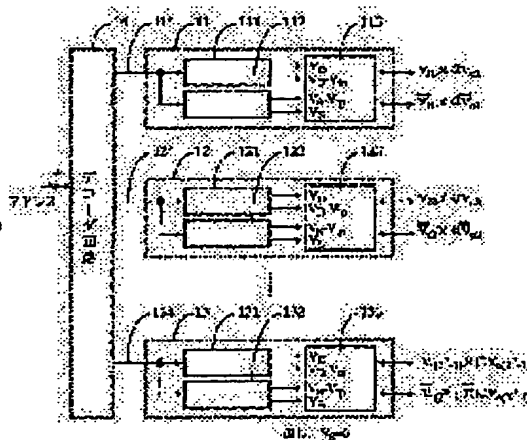
(72)Inventor : ENOMOTO TADAYOSHI
KANO HIROAKI
OKA YOSHINORI

(54) LOW POWER SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption at standby holding operation speed by providing first and second source potential varying means.

SOLUTION: In a semiconductor circuit such as a micro-processor, a memory, or the like, means such as a source potential varying means, a decoder circuit, or the like are provided to realize simultaneously low power consumption and high performance, power consumption of a semiconductor circuit can be reduced and high speed performance can be kept by selectively supplying high voltage and low voltage to a circuit being in an operation state and a circuit being in a standby state respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-288984

(P2002-288984A)

(43) 公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl.⁷

識別記号

F I

テーマート* (参考)

G 1 1 C 11/413

G 1 1 C 11/34

3 3 5 C 5 B 0 1 5

11/412

11/40

3 0 1 5 J 0 5 6

H 0 3 K 19/0948

H 0 3 K 19/094

B

審査請求 未請求 請求項の数 1 書面 (全 8 頁)

(21) 出願番号 特願2001-128431(P2001-128431)

(71) 出願人 394007104

(22) 出願日 平成13年3月22日 (2001.3.22)

榎本 忠徳

神奈川県横浜市青葉区美しが丘西3-31-13

(72) 発明者 榎本 忠徳

神奈川県横浜市青葉区美しが丘西3-31-13

(72) 発明者 鹿野 裕明

東京都立川市錦町6-23-25

(72) 発明者 岡 佳憲

東京都練馬区氷川台4-56-15ハイムIC
HIRO 102号

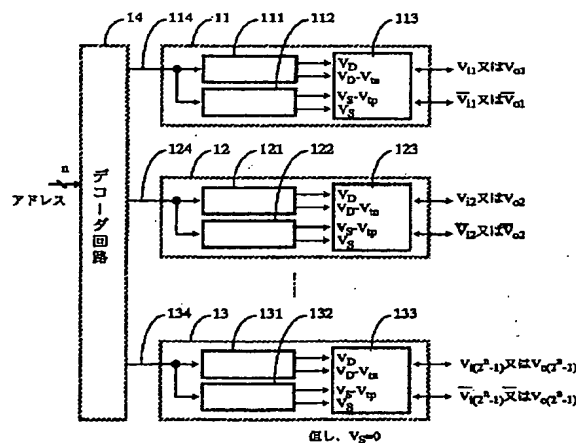
最終頁に続く

(54) 【発明の名称】 低電力半導体集積回路

(57) 【要約】

【課題】現在の半導体マイクロプロセッサや半導体メモリ回路を低電力が要求され携帯機器、等の分野へは消費電力が大きいため、利用出来ず、また、低消費電力化すると、高性能化に問題があり、低消費電力化と高性能化を両立することができないので、より有用なマイクロプロセッサやメモリの提供に限界があった。

【解決手段】携帯機器向けに低電力化と高性能化を同時に実現するため、マイクロプロセッサやメモリ、等半導体回路について、ソース電位可変手段、デコーダ回路、等の手段を設け、動作状態にある回路へは高電圧を、待機状態にある回路へは低電圧を、選択的に供給することにより、マイクロプロセッサやメモリ、等半導体回路の消費電力を飛躍的に低減し、かつ、高速性能を維持し得るようにした。



【特許請求の範囲】

【請求項1】 動作している半導体回路へは所望の高電位を供給して動作状態にある該半導体回路を高速動作させ、待機している半導体回路へは該所望の高電位より低い高電位を供給して待機状態にある該半導体回路を低消費電力化するために、複数の前記半導体回路、複数の前記半導体回路のうち1個ないし複数の半導体回路を選択して該半導体回路を起動して同時に他の複数の半導体回路を待機させるデコーダ回路、半導体回路の第一のソース電位を可変するために該半導体回路毎に設けた第一のソース電位可変手段、半導体回路の第二のソース電位を可変するために該半導体回路毎に設けた第二のソース電位可変手段を備え、前記複数の半導体回路、前記デコーダ回路、前記第一のソース電位可変手段、前記第二のソース電位可変手段を金属・酸化膜・半導体の積層構造を持つモス型電界効果トランジスタ(MOSFET)で構成し、第一のソース電位可変手段は高電位 V_D を、第二のソース電位可変手段は高電位 V_D より低い低電位 V_S ($V_D > V_S$) を動作状態にある半導体回路に供給できるようにして該半導体回路を高速動作させ、第一のソース電位可変手段は前記高電位 V_D より低い高電位 $V_{D'}$ ($V_D > V_{D'}$) を、第二のソース電位可変手段は前記低電位 V_S より高く、かつ前記高電位 $V_{D'}$ より低い低電位 $V_{S'}$ ($V_{D'} > V_{S'} > V_S$) を待機状態にある半導体回路に供給できるようにしてサブスレッシュヨルド電流を低減することにより該半導体回路を低消費電力化することを特徴とする低電力半導体集積回路。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、例えば、多数の半導体回路で構成されるマイクロプロセッサや多数の半導体回路で構成されるメモリ回路の特性を向上させるための回路技術であり、特に、多数の前記半導体回路のうち動作状態にある半導体回路の高速化と待機状態にある半導体回路の低消費電力化を同時に実現する半導体集積回路技術に関する。

【0002】

【従来の技術】 通常の論理回路は複数の論理ゲートで構成される。論理ゲートは、例えば、負のしきい値電圧をもつp型MOSFET (pMOSFET)、正のしきい値電圧をもつn型MOSFET (nMOSFET) から構成される相補モス型回路(CMOS回路)を主たる作動要素とする。図9は2個の論理ゲートが従続接続されたCMOS論理回路であり、ここでは各論理ゲートを一例としてCMOSインバータ91、92で構成している。CMOSインバータ91は、第1のpMOSFET 911及び第1のnMOSFET 912を直列状に接続した構成となっている。同様に、CMOSインバータ92は、第2のpMOSFET 921及び第2のnMOS

FET 922を直列状に接続した構成となっている。pMOSFET 911、921のソース及びウェルは電源線93を介して高電位 V_D が供給され、nMOSFET 912、922のソース及びウェルは電源線94を介して低電位 V_S が供給される。各電位は一例として、高電位 V_D を5V、低電位 V_S を0V等とし、通常低電位 V_S を基準電位としている。

【0003】 一方、pMOSFET 911のゲートにはnMOSFET 912のゲートと共通に入力電圧 V_{i1} が供給され、pMOSFET 911のドレインにはnMOSFET 912のドレインと共通に出力電圧 V_o が得られるようになっている。また、pMOSFET 921のゲートにはnMOSFET 922のゲートと共通に入力電圧 V_{i2} (前記出力電圧 V_o) が供給され、pMOSFET 921のドレインにはnMOSFET 922のドレインと共通に出力電圧 V_{o2} が出力されるようになっている。pMOSFET 911のドレイン及びnMOSFET 912のドレインに共通に接続されたコンデンサ913、pMOSFET 921のドレイン及びnMOSFET 922のドレインに共通に接続されたコンデンサ923は負荷容量である。一般に、図10に示すように、pMOSFET 911、921のしきい値電圧(V_{th})の絶対値とnMOSFET 912、922のしきい値電圧(V_{th})は($V_D - V_S$)の約20%程度に設定され、これらのしきい値電圧は一般に低しきい値電圧と言っている。低しきい値電圧のMOSFETを用いたCMOS論理回路は高速に動作する。しかし、低しきい値電圧であるがため、待機状態のCMOS論理回路には電源 V_D から電源 V_S に向かって、図10に示すように、大きなサブスレッシュヨルド電流 I_{dss} 、 I_{dss} が流れる。このため、無視できない程大きな電力が消費される。なお、CMOSインバータ92の出力端子とCMOSインバータ91の入力端子とを接続することにより、1ビットデータを保持する記憶セルが実現でき、スタックランダムアクセスメモリ(SRAM)に利用される。

【0004】 待機時消費電力を小さく抑えるには、図9のpMOSFET 911、921のしきい値電圧 V_{th} の絶対値とnMOSFET 912、922のしきい値電圧 V_{th} を、それぞれ図10に示す V_{thpH} 、 V_{thnH} のように、高くする。これらのしきい値電圧は一般に高しきい値電圧と言っている例えば、 V_{thpH} の絶対値と V_{thnH} を($V_D - V_S$)の約30%に設定すると、待機状態でインバータ91、92を介して電源 V_D から電源 V_S に向かって流れるサブスレッシュヨルド電流 I_{dssH} 、 I_{dssH} (図10)が低減できるため、待機時消費電力が大幅に減少する。しかし、動作時にコンデンサ913、923を充放電するためのドレイン電流が高しきい値電圧のために減少して、前記論理回路の動作速度が大幅に低下する。

【0005】従来、前記論理回路の欠点を解決して待機時消費電力を小さく抑え、同時に高速動作を実現する回路技術として、例えば、T. Kuroda, et. al., Digest of Technical Papers, International Solid-State Circuits Conference, FA10. 3, pp. 166-167, 437, Feb. 1996に記載されているVTTCMOS技術がある。本技術を用いた論理回路の実施例を図12に示す。

CMOSインバータ121、122の構成は図9の91、92とはほぼ同様である。但し、pMOSFET1211、1221のウェルは電源線123を介して高電位 V_{DD} が供給され、nMOSFET1212、1222のウェルは電源線124を介して低電位 V_{SS} が供給される。今、CMOSインバータ121の入力 V_{i1} が V_{DD} に等しい場合について検討する。この時、pMOSFET1211はカットオフし、nMOSFET1212は線形領域で動作する。pMOSFET1211のソースを基準としたpMOSFET1211のウェル電位 V_{w11} は、

$$V_{w11} = V_{DD} - V_{DD}$$

で与えられる。ここでウェル電位 V_{w11} を $(V_{DD} + \Delta)$ とすると、 V_{w11} は、

$$V_{w11} = \Delta$$

となる。ここで、 Δ は符合を含む値で、通常バックゲートバイアスと呼ばれている。 Δ が正の時、pMOSFET1211のしきい値電圧 V_{th11} の絶対値がバックゲートバイアスが無い時のしきい値電圧 V_{th1} の絶対値より増加して、図11に示すように、ドレイン電流特性(波線)が左にシフトする。従って、カットオフ状態のpMOSFET1211のサブスレッショルド電流 I_{sub11} は、 Δ が0の時に流れるサブスレッショルド電流 I_{sub1} よりも、大幅に減少する。つまり、本 I_{sub11} がCMOSインバータ121を介して、 V_{DD} から V_{SS} に向けて流れるリーク電流となる。同様に、CMOSインバータ122の入力 V_{i2} が V_{SS} (=0)に等しい場合も検討しよう。この時、nMOSFET1222はカットオフしており、pMOSFET1221は線形領域で動作する。nMOSFET1222のソースを基準としたnMOSFET1222のウェル電位 V_{w22} は、

$$V_{w22} = V_{SS} - V_{SS}$$

で与えられる。ここでウェル電位 V_{w22} を Δ 、 V_{SS} を0とすると、 V_{w22} は、

$$V_{w22} = \Delta$$

となる。 Δ が負の時、nMOSFET1222のしきい値電圧 V_{th22} が増加して、図11に示すように、ドレイン電流特性(波線)が右にシフトする。従って、カットオフ状態のnMOSFET1222のサブスレッショルド電流 I_{sub22} は、 Δ が0の時に流れるサブスレッシ

ョルド電流 I_{sub11} あるいは図9の場合のサブスレッショルド電流 I_{sub1} より、大幅に減少する。つまり、本 I_{sub11} がCMOSインバータ122を介して、 V_{DD} から V_{SS} に向けて流れるリーク電流となる。

【0006】VTTCMOS技術はソース電位を固定して、ウェル電位を変化させることによりバックゲートバイアスをかけて、リーク電流を削減できるので、待機時消費電力も減少する。一方、論理回路が動作している時はバックゲートバイアスを切る($\Delta = 0V$)ので、高速動作が可能となる。しかし、VTTCMOS技術の問題として、バックゲートバイアスを駆けたり($\Delta \neq 0V$)、あるいは切ったり($\Delta = 0$)することはpn接合容量からなる大容量のウェル容量を充放電することになるので、急速バックゲートバイアス切り替えが困難になる、等の欠点がある。

【0007】

【発明が解決しようとする課題】低しきい値電圧のMOSFETで構成した従来の論理回路は高速に動作するが、待機状態で電源 V_{DD} から電源 V_{SS} に向かって大きなサブスレッショルド電流が流れるため、待機時消費電力が大きいと言う欠点があった。待機時消費電力を低減するため、高しきい値電圧のMOSFETで構成すると、今度は論理回路の動作速度が遅くなってしまふ。これらの欠点を解消するVTTCMOS技術は高速動作と低待機時消費電力を両立するが、待機モードと動作モードの切換えに時間がかかり過ぎる、等の欠点があるため、マイクロプロセッサやメモリ回路への適用できないので、実用化されていない。

【0008】

【課題を解決するための手段】本発明の半導体集積回路は、上記従来技術の課題を解決するためになされたものであり、動作している半導体回路へは所望の高電位を供給して動作状態にある該半導体回路を高速動作させ、待機している半導体回路へは該所望の高電位より低い高電位を供給して待機状態にある該半導体回路を低消費電力化するために、複数個の前記半導体回路、複数個の前記半導体回路のうち1個ないし複数個の半導体回路を選択して該半導体回路を起動して同時に他の複数個の半導体回路を待機させるデコーダ回路、半導体回路の第一のソース電位を可変するために該半導体回路毎に設けた第一のソース電位可変手段、半導体回路の第二のソース電位を可変するために該半導体回路毎に設けた第二のソース電位可変手段を備え、前記複数個の半導体回路、前記デコーダ回路、前記第一のソース電位可変手段、前記第二のソース電位可変手段を金属・酸化膜・半導体の積層構造を持つモス型電界効果トランジスタ(MOSFET)で構成し、第一のソース電位可変手段は高電位 V_{DD} を、第二のソース電位可変手段は高電位 V_{DD} より低い低電位 V_{SS} ($V_{DD} > V_{SS}$)を動作状態にある半導体回路に供給できるようにして該半導体回路を高速動作させ、第一の

ソース電位可変手段は前記高電位 V_0 より低い高電位 V_0' ($V_0 > V_0'$)を、第二のソース電位可変手段は前記低電位 V_s より高く、かつ前記高電位 V_0' より低い低電位 V_s' ($V_0' > V_s' > V_s$)を待機状態にある半導体回路に供給できるようにしてサブスレッショルド電流を低減することにより該半導体回路を低消費電力化することを特徴とするので、従来技術のような大きな待機時消費電力を回避し、飛躍的な消費電力の低減を達成した上で、メモリや論理回路への適用を実現できる一方、動作時の高速性能も維持させた。

【0009】

【実施例】図1は複数(2°)個の半導体ブロック11、12、13、デコーダ回路14を主たる構成部分としている半導体集積回路の実施例である。半導体ブロック11は第一のソース電位可変手段111、第二のソース電位可変手段112、各種半導体回路113および選択線114を備えている。各種半導体回路はマイクロプロセッサやDSPのデータベースを構成する加算回路、減算回路、乗算回路、除算回路、ALU、メモリあるいは前記各種半導体回路を制御する制御回路、等である。前記第一のソース電位可変手段111は前記半導体ブロック11の第一のソース電位を可変するためのスイッチ回路、前記第二のソース電位可変手段112は前記半導体ブロック11の第二のソース電位を可変するためのスイッチ回路である。デコーダ回路14は、例えば、nビットのアドレス信号をデコードして、2°個の前記半導体ブロックのうち1個の半導体ブロックを選択し、該半導体ブロックを動作させる回路である。同時に、デコーダ回路14は他の半導体ブロックを待機させる。例えば、半導体ブロック11が選択される場合、選択線114が高電位(V_0)となり、他の選択線124、134は低電位(V_s)となる。

【0010】図2の21は図1の半導体ブロック11、12あるいは13の実施例で、半導体回路22の簡単な例として、第一のCMOSインバータ23、第二のCMOSインバータ24、から構成される。CMOSインバータ23は第1のpMOSFET231および第1のnMOSFET232で構成され、CMOSインバータ24は、第2のpMOSFET241及び第2のnMOSFET242で構成される。

【0011】一方、pMOSFET231のゲートとnMOSFET232のゲートは接続され、第3のnMOSFET233を介して、入力信号 V_{i1} が供給され、pMOSFET231のドレインとnMOSFET232のドレインは接続され、出力電圧 V_{o1} が得られるようになっている。また、pMOSFET241のゲートとnMOSFET242のゲートは接続され、第4のnMOSFET243を介して、入力信号 V_{i2} が供給され、pMOSFET241のドレインとnMOSFET242のドレインは接続され、出力電圧 V_{o2} が得られ

るようになっている。pMOSFET231のドレインとnMOSFET232のドレインに共通に接続されたコンデンサ234、pMOSFET241のドレインとnMOSFET242のドレインに共通に接続されたコンデンサ244は負荷容量である。pMOSFET231、241のウェルは電源線251を介して高電位 V_0 が供給され、nMOSFET232、242のソースは電源線252を介して低電位 V_s が供給される。

【0012】第3のnMOSFET233および第4のnMOSFET243のゲートへは選択線291を介して図1のデコーダ回路14の出力が供給され、該半導体ブロック21が選択された時のみ、第3のnMOSFET233、第4のnMOSFET243が閉じて、入力信号 V_{i1} が供給されるようになっている。さらに、第一のCMOSインバータ23の入力端子(pMOSFET231のゲートとnMOSFET232のゲート)と第二のCMOSインバータ24の出力端子(pMOSFET241のドレインとnMOSFET242のドレイン)を接続し、第二のCMOSインバータ24の入力端子(pMOSFET241のゲートとnMOSFET242のゲート)と第一のCMOSインバータ23の出力端子(pMOSFET231のドレインとnMOSFET232のドレイン)を接続すると、CMOSインバータ23、CMOSインバータ24、第3のnMOSFET233、第4のnMOSFET243、から構成される回路が実現する。本回路は1ビットのデータを記憶できるメモリセルとしてSRAMに利用できる。

【0013】第一のソース電位可変手段26は前記半導体回路22の第一のソース電位 V_0' を可変するためのスイッチ回路で、nMOSFET261、pMOSFET262およびインバータ29で構成される。nMOSFET261のドレインとpMOSFET262のドレインは共通の電源線を介して電源 V_0 に接続される。nMOSFET261のソースとpMOSFET262のソースは共通の配線281に接続される。nMOSFET261のゲートとpMOSFET262のゲートには共通にCMOSインバータ29および選択線291を介して図1のデコーダ回路14の出力が供給される。第二のソース電位可変手段27は前記半導体回路22の第二のソース電位 V_s' を可変するためのスイッチ回路で、pMOSFET271とnMOSFET272で構成される。pMOSFET271のドレインとnMOSFET272のドレインは共通の電源線を介して電源 V_s に接続される。pMOSFET271のドレインとnMOSFET272のソースは共通の配線282に接続される。pMOSFET271のゲートとnMOSFET272のゲートには選択線291を介して図1のデコーダ回路14の出力が供給される。

【0014】図1の本実施例では、上記のように構成されているので、全選択線のうち、デコーダ14により選

択線114が選択されると、該選択線114が高電位(V_D)となり、他の選択線124、134は低電位(V_S)となるので、図2の前記第二のソース電位可変手段27のnMOSFET272が導通し(閉じ)、pMOSFET271が非導通となる(開く)。従って、該選択線291に接続された該半導体ブロック21へはnMOSFET272を介して、電源 V_S ($=0V$)が供給される。つまり、配線282の電位 $V_{S'}$ は V_S ($=0V$)となる。この時、CMOSインバータ29の出力は低電位($=0V$)となるので、前記第一のソース電位可変手段26のpMOSFET262は導通し(閉じ)、nMOSFET261は非導通となる(開く)。従って、該選択線291に対応する該半導体ブロック21へはpMOSFET262を介して、電源 V_D ($=5V$)が供給される。つまり、配線281の電位 $V_{D'}$ は V_D ($=5V$)となる。nMOSFET272、pMOSFET262は十分な電流供給能力を持てるように、最適設計されているから、該半導体ブロック21は図9の従来の回路と同等な速度で動作し、速度劣化を起すことはい。該半導体ブロック21の動作時消費電力は該半導体ブロックに流れる電流と $(V_D - V_S)$ の積であるから、図9の従来形の回路の動作時消費電力と等しい。

【0015】該図1の選択線114以外の選択されなかった全選択線(図1の124、134)の電位レベルは低レベル($0V$)となるから、対応する全半導体ブロック12、13は待機状態となる。従って、図2の前記第二のソース電位可変手段27のpMOSFET271が導通し(閉じ)、nMOSFET272は非導通となる(開く)。従って、対応する全半導体ブロック12、13のnMOSFETのソースへはpMOSFET271、配線282を介して、電源 V_S ($=0V$)よりpMOSFET271の $V_{t,n}$ の絶対値分だけ高い電位($-V_{t,n}$)が供給される。つまり、配線282の電位 $V_{S'}$ は($-V_{t,n}$)となる。なお、図3で示すように、pMOSFET271のゲートとドレインに低レベル($0V$)を加えると、pMOSFET271は導通して、配線282に電位 $V_{S'}$ ($=-V_{t,n}$)を出力する。一方、CMOSインバータ29の出力が高レベル($=5V$)となるので、前記第一のソース電位可変手段26のnMOSFET261が導通し(閉じ)、pMOSFET262は非導通となる(開く)。従って、対応する半導体ブロックのpMOSFET231、241のソースへはnMOSFET261、配線281を介して、電源 V_D よりnMOSFET261の $V_{t,n}$ 分だけ低い電位($V_D - V_{t,n}$)が供給される。つまり、配線281の電位 $V_{D'}$ は($V_D - V_{t,n}$)となる。なお、図3で示すように、nMOSFET261のゲートとドレインに高レベル(V_D)を加えると、nMOSFET261は導通して、ソースと配線281に電位 $V_{D'}$

($=V_D - V_{t,n}$)を出力する。第1のソース電位可変手段26ではnMOSFETを1個用いて、配線281の電位 $V_{D'}$ を($V_D - V_{t,n}$)に低減した。図7に示すように、nMOSFETを r 個($r=2, 3, 4, \dots$)用いると、 $V_{D'}$ は($V_D - rV_{t,n}$)で与えられ、 $V_{D'}$ をさらに低減することができる。同様に、配線282の電位 $V_{S'}$ も図8に示すように、pMOSFETを r 個($r=2, 3, 4, \dots$)用いることにより、 $V_{S'}$ を($-rV_{t,p}$)に高めることができる。図4にインバータ回路41を示す。CMOSインバータ41はpMOSFET412およびnMOSFET413で構成されている。pMOSFET412のソースへは($V_D - V_{t,n}$)が、ウェルへは高電位 V_D がそれぞれ供給されている。nMOSFET413のソースは($V_S - V_{t,p}$)が、ウェルへは低電位 V_S ($=0V$)が供給される。今、入力 V_i が低電位($=0V$)の時、nMOSFET413はカットオフし、pMOSFET412は線形領域で動作する。従って、出力端子に($V_D - V_{t,n}$)が出力されるので、nMOSFET413のドレイン-ソース間電位 $V_{d,s,n}$ は、

$$V_{d,s,n} = (V_D - V_{t,n}) - (-V_{t,p})$$

となる。次に、入力 V_i が高電位($=V_D$)となると、pMOSFET412はカットオフし、nMOSFET413は線形領域で動作する。従って、出力端子に($-V_{t,p}$)が出力されるので、pMOSFET412のドレイン-ソース間電位 $V_{d,s,p}$ も、 $V_{d,s,p} = (V_D - V_{t,n}) - (-V_{t,p})$ となり、 $V_{d,s,n}$ と等しくなる。今、 $V_{t,n} = -V_{t,p}$ と仮定すると、

$$V_{d,s,n} = V_{d,s,p} = V_D - 2V_{t,n}$$

となる。つまり、 $V_{d,s,p}$ 、 $V_{d,s,n}$ が $2V_{t,n}$ 分だけ低くなるので、DIBL(Drain Induced Barrier Lowering、ドレイン・インデュースト・バリア・ローリング)効果が生じる。pMOSFET412のソースとウェルに高電位 V_D を、nMOSFET413のソースとウェルに低電位 V_S ($=0V$)を、供給する従来のインバータ(図9)の場合、nMOSFETに流れるサブスレッシュ電流は、図5に示すように、 $I_{d,s}$ 、PMOSFETのサブスレッシュ電流は、図6に示すように、 $I_{d,s}$ である。これに対して、DIBL効果が生じると、nMOSFETのサブスレッシュ電流は、図5に示すように、 $I_{d,s}$ から $I_{d,s}'$ へ、pMOSFETのサブスレッシュ電流は、図6に示すように、 $I_{d,s}$ から $I_{d,s}'$ へ減少する。上述した動作が図2の半導体回路22にも適用できるので、半導体ブロック21のカットオフ状態にある全pMOSFETのドレイン-ソース間電位 $V_{d,s,p}$ 、およびカットオフ状態にある全nMOSFETのドレイン-ソース間電位 $V_{d,s,n}$ はともに V_D より $2V_{t,n}$ 分だけ低い値となるので、DIBL効果が生じて、サブスレッシ

電流が大幅に減少し、待機時消費電力が大幅に削減される。

【0016】また、図4のpMOSFETのウェルへは高電位 V_D が、pMOSFETのソースへは $(V_D - V_{t_n})$ が供給されており、nMOSFETのソースは低電位 V_S が、nMOSFETのウェルへは $(-V_{t_p})$ が供給されているので、BGB (Back Gate Bias、バック・ゲート・バイアス) 効果が生じて、サブスレッシ電流がさらに減少する。つまり、nMOSFETのサブスレッシ電流は、図5に示すように、 $I_{d_{n'}}'$ から $I_{d_{n''}}'$ へ、pMOSFETのサブスレッシ電流は、図6に示すように、 $I_{d_{p'}}'$ から $I_{d_{p''}}'$ へ減少する。なお本技術ではウェル電位を固定して、ソース電位を変化させることによりBGBをかけている。しかし、ウェル電位を変化させてBGBをかける前述したVTCMOS技術と異なり、BGB切り替えによる速度劣化の問題はない。結果的には、DIBL効果とBGB効果の相乗効果により、従来のサブスレッシ電流 $I_{d_{n0}}$ 、 $I_{d_{p0}}$ に比べ、大幅に減少したサブスレッシ電流 $I_{d_{n''}}'$ 、 $I_{d_{p''}}'$ が流れ(図5、図6)、待機時消費電力が大幅に削減される。

【0017】

【発明の効果】本発明の構成によれば、第1及び第2のソース電位可変手段を設けることにより、動作速度を維持したまま、飛躍的な待機時消費電力の低減という所期の目的が達成できる。0.13ミクロンCMOS技術を用い、従来型1KビットSRAMと本発明の低電力半導体集積回路を用いた1KビットSRAMを開発した。 $V_{D'} = V_D = 1.5V$ 、 $V_{S'} = V_S = 0V$ の時、従来型1KビットSRAMの待機時消費電力Pは5.12マイクロワット、読みだしアクセス時間は0.45ナノ秒であった。一方、 $V_{D'} = (V_D - 2V_{t_n}) = 1.1V$ 、 $V_{S'} = (-2V_{t_p}) = 0.4V$ の時、本発明の技術を用いた1KビットSRAMのPは0.25マイクロワットであり、従来型1KビットSRAMのPの約1/20に削減され、待機時消費電力の削減効果が大きいことがわかる。一方動作時は $V_{D'} = V_D = 1.5V$ 、 $V_{S'} = V_S = 0V$ に設定されるので、読みだしアクセス時間は0.45ナノ秒となり、従来型1KビットSRAM読みだしアクセス時間と全く一致し、従来型の

高速性能を維持できることもわかる。

【0018】

【図面の簡単な説明】

【図1】 本発明の実施例の構成を示すブロック図である。

【図2】 本発明の実施例にかかわる半導体論理回路の構成を示す模式図である。

【図3】 本発明にかかわるnMOSFETスイッチとpMOSFETスイッチの入出力特性を説明する図である。

【図4】 インバータ回路。

【図5】 nMOSFETのサブスレッシ電流の V_{th} 依存性。

【図6】 pMOSFETのサブスレッシ電流の V_{th} 依存性。

【図7】 本発明にかかわる第一のソース電位可変手段の作用を説明する模式図である。

【図8】 本発明にかかわる第二のソース電位可変手段の作用を説明する模式図である。

【図9】 従来例の構成例を示すブロック図である。

【図10】 しきい値電圧の低いMOSFETのサブスレッシ電流の V_{th} 依存性。

【図11】 予めしきい値電圧を高くしたMOSFETおよびバックゲートバイアスによりしきい値電圧を高くしたMOSFETのサブスレッシ電流の V_{th} 依存性。

【図12】 VTCMOS技術を用いた従来例の構成例を示すブロック図である。

【符号の説明】

11、12、13、21 半導体ブロック

4 デコーダ回路

113、123、133 半導体回路

26、111、121、131 第1のソース電位可変手段

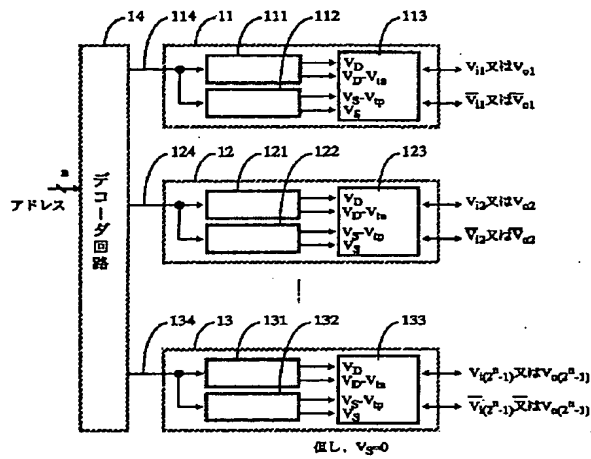
27、112、122、132 第2のソース電位可変手段

29 インバータ

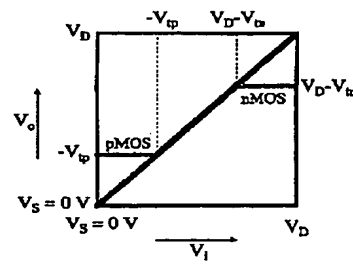
231、241、233、243、261、272 nMOSFET

232、242、262、271 pMOSFET

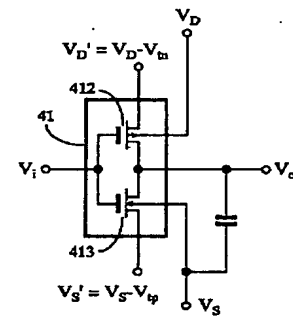
【図1】



【図3】



【図4】



【図2】

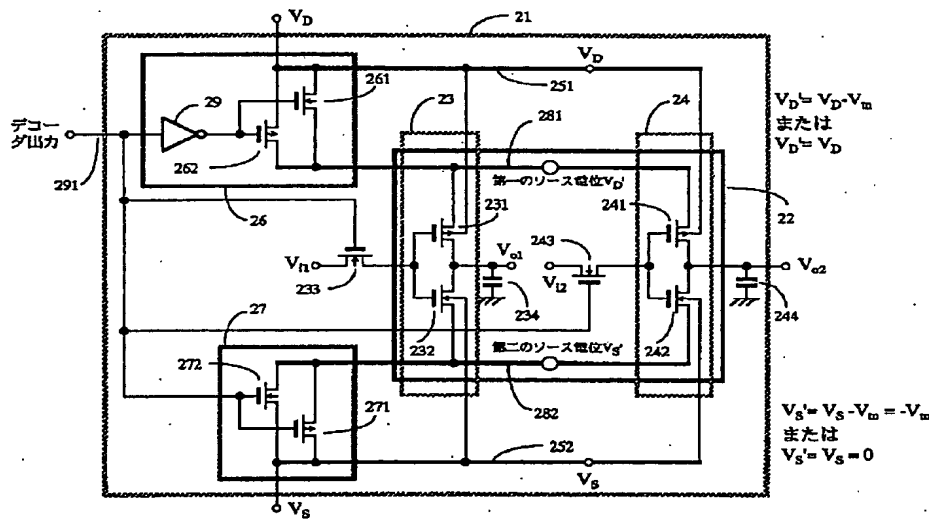
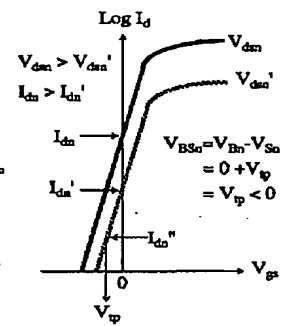
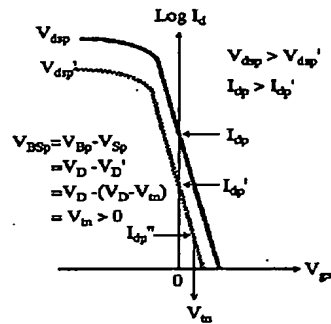


図2

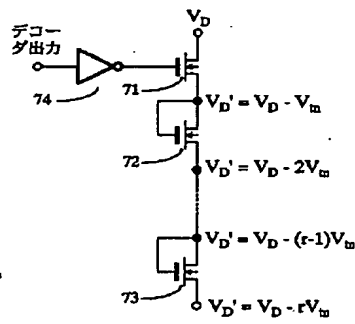
【図5】



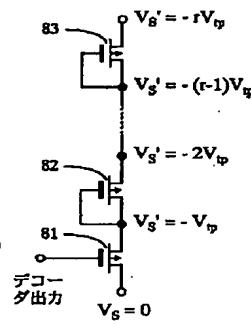
【図6】



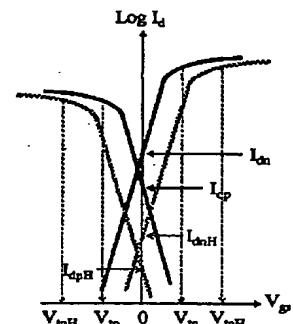
【図7】



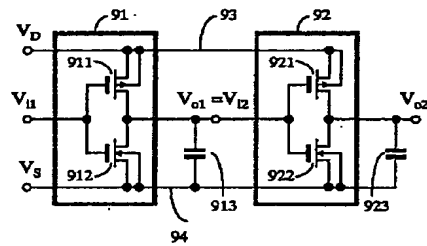
【図8】



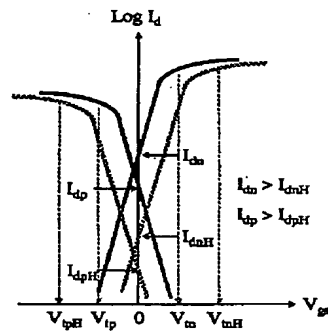
【図10】



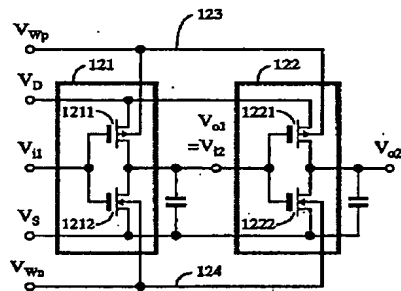
【図9】



【図11】



【図12】



フロントページの続き

F ターム(参考) 5B015 HH01 HH03 HH04 JJ07 JJ25
KA06 QQ02
5J056 AA03 BB17 CC00 DD13 DD16
DD29 DD51 EE11 FF08 KK01